

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月16日

出 願 番 号

Application Number:

特願2003-111190

[ST.10/C]:

[JP2003-111190]

出 願 人

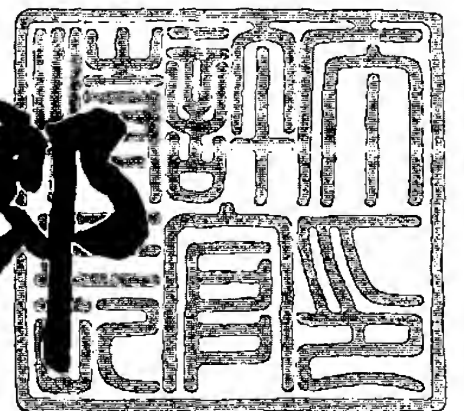
Applicant(s):

株式会社東芝

2003年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040831

【書類名】 特許願

【整理番号】 14161401

【提出日】 平成15年 4月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置

【請求項の数】 9

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 相 田 聡

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 上 月 繁 雄

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 泉 沢 優

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 吉 岡 裕 典

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 齋 藤 渉

【特許出願人】

 【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目1番1号

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【選任した代理人】

【識別番号】 100108785

【弁理士】

【氏名又は名称】 箱 崎 幸 雄

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基板と、

前記半導体基板の第 1 の主面に形成され、セル部となる第 1 の領域と、この第 1 の領域の外周に位置する第 2 の領域であって、空乏層を伸ばすことにより電界を緩和して耐圧を維持する終端部となる第 2 の領域とを有する第 1 導電型の半導体層と、

前記第 1 導電型の半導体層内で前記第 1 の領域から前記第 2 の領域内に至るまで列をなすように前記第 1 の主面に平行な第 1 の方向に周期的に配置され、互いに逆導電型の不純物を有する半導体層の接合対であって、前記第 1 導電型の半導体層の表面から前記半導体基板に向けて形成された第 2 導電型の第 1 の不純物拡散層と、この第 1 の不純物拡散層に隣接して前記第 1 導電型の半導体層の表面から前記半導体基板に向けて形成された第 1 導電型の第 2 の不純物拡散層とで構成される接合対と、

前記第 1 の領域における前記接合対の表面層において前記第 1 の不純物拡散層と前記第 2 の不純物拡散層とに共通に接続するように選択的に形成された第 2 導電型ベース領域と、

前記第 2 導電型ベース領域の表面層に選択的に形成された第 1 導電型ソース領域と、

前記第 2 導電型ベース領域の表面と前記第 1 導電型ソース領域の表面との上に絶縁膜を介して形成された制御電極と、

前記制御電極を間に挟むように形成され、前記第 1 導電型ソース領域と前記第 2 導電型ベース領域とに共通に接触する第 1 の主電極と、

前記半導体基板の前記第 1 の主面とは逆の第 2 の主面に形成された第 2 の主電極と、

を備える半導体装置。

【請求項 2】

前記第 1 の領域において前記第 1 導電型の半導体層の表面から前記半導体基板に向けて形成され、前記第 1 の方向に直交する第 2 の方向を長手方向とするストライプ形状の第 1 のトレンチを埋めるように形成された第 1 の誘電体と、

前記第 2 の領域において前記第 1 導電型の半導体層の表面から前記半導体基板に向けて形成され、少なくとも前記第 2 の方向に周期的に配置された第 2 のトレンチを埋めるように形成された第 2 の誘電体と、
をさらに備え、

前記第 1 の領域における前記接合対は、隣り合う前記第 2 の誘電体の間に形成され、

前記第 2 の領域における前記接合対は、前記第 1 の方向において最も周縁側に位置する前記第 1 のトレンチの外側側面から前記周縁側に形成された第 1 導電型または第 2 導電型の不純物拡散層であるセル周辺不純物拡散層と、前記第 2 のトレンチの側表面のうち前記第 1 の領域に最も近い側表面から前記第 1 の領域側に形成されて前記セル周辺不純物拡散層とは逆導電型の不純物拡散層とで構成される接合対を少なくとも含む、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 のトレンチは、前記第 1 の方向を長手方向とするストライプ形状を有することを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 のトレンチは、それぞれが矩形の平面形状を有し、平面視において格子形状をなすように前記第 1 および第 2 の方向に周期的に配置され、

前記接合対は、最も周縁側に位置する前記第 2 のトレンチの前記第 1 の領域側の側表面に至るまで配置される、
ことを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記第 1 のトレンチは、前記第 2 の方向において前記第 1 の領域から前記第 2 の領域の周縁近傍に至るまで延在して形成され、

前記第 1 の領域における前記接合対は前記第 2 の方向において前記第 2 の領域の周縁に至るまで延在し、この延在部分が前記第 2 の方向における前記終端部の

接合対を構成する、ことを特徴とする請求項 2 乃至 4 のいずれかに記載の半導体装置。

【請求項 6】

前記第 1 の方向における周縁部において前記第 1 導電型の半導体層の表面から前記半導体基板に向けて形成された第 1 導電型の第 3 の不純物拡散層をさらに備える、ことを特徴とする請求項 2 乃至 5 のいずれかに記載の半導体装置。

【請求項 7】

前記第 1 の方向における周縁部において前記第 1 導電型の半導体層の表面から前記半導体基板に向けて形成された第 2 導電型の第 4 の不純物拡散層をさらに備える、ことを特徴とする請求項 2 乃至 5 のいずれかに記載の半導体装置。

【請求項 8】

前記接合対は前記半導体基板に接するように形成されることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体装置。

【請求項 9】

前記終端部の表面に設けられたフィールド絶縁膜をさらに備えることを特徴とする請求項 1 乃至 8 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、例えば縦型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) などの終端部の耐圧構造の改良に関する。

【0002】

【従来の技術】

縦型 MOSFET は、パワー MOSFET や、IGBT などのパワーデバイスで採用されている構造である。なかでもパワー MOSFET は、情報通信機器や携帯機器、電子機器などに広く使用されるスイッチング電源の高効率化に欠かせないキーデバイスとなっている。スイッチング電源の高効率化にはスイッチング素子の低損失化が重要であり、特に、電源の一次側に使用される高耐圧 MOSF

ETでは低オン抵抗化がもっとも重要な課題となっている。高耐圧MOSFETのオン抵抗を劇的に低減できる構造として、MOSFETのドリフト層をリサーフ（RESURF）で置き換えたいわゆるマルチリサーフ構造が提案されており、すでに一部商品化されている。このようなマルチリサーフ構造の一例を図9の断面図に示す。なお、添付図面においては同一の部分には同一の参照番号を付し、その反復説明を適宜省略する。

【0003】

図9に示すMOSFETのマルチリサーフ構造は、オフ時にはその電荷補償効果により空乏化することで高耐圧を維持し、オン時には高濃度領域を電流が流れるため、高耐圧と低オン抵抗の両立を図るものである。しかしながら、現在の技術ではこのような構造は、リサーフのN層とP層を積み上げる、いわゆるマルチエピ法以外で形成することは困難である。マルチエピ法とは、例えば図9のMOSFETで説明すると、 N^{++} 型半導体基板W上に厚さの薄い N^{-} 型不純物拡散層12をエピタキシャル成長させた後、所望のパターニングを施してP型不純物拡散層118を形成してN型不純物拡散層116をP型不純物拡散層118と同じ厚さだけさらに形成するという工程を数回繰り返す方法である。この方法によれば、エピタキシャル成長を繰り返すために製造コストが大幅にアップし、素子の低オン抵抗化のメリットがなくなってしまう、という問題がある。このようなコスト面での問題を解決する方法として、トレンチを形成した後このトレンチの側面にリサーフのN（またはP）層を形成する、いわゆるトレンチマルチリサーフ構造が提案されている（例えば、特許文献1および特許文献2など）。特許文献1に開示のトレンチマルチリサーフ構造は、図10の上部の断面図に示すように、電荷補償をするためのN型不純物拡散層（以下、単にN層という）およびP型不純物拡散層（以下、単にP層という）が繰り返し形成されてトレンチTR4を埋め込む絶縁層54間に2組のN/P層を構成するように配置されているものである。例えばP型エピタキシャル成長層にトレンチTR4を形成し、このトレンチTR4の側面にN層56をそれぞれ形成することにより、このトレンチマルチリサーフ構造が得られる。この場合、電荷補償のばらつきを発生させる原因としてN層56のプロファイルがある。図10の下部のグラフに示すように、N層

5 6 と P エピ層 5 8 のプロファイルの重なり部分 $P F_P N$ は自動的に電荷補償されるが、それぞれ単独で残った部分 $P F_P$ と $P F_N$ とで電荷量が等しくなければ素子の耐圧は低下する。N 型不純物、P 型不純物のどちらかが多くても少なくとも耐圧低下を起こす原因となるので、このバラツキが問題となる。

【 0 0 0 4 】

さらに、このバラツキは特許文献 1 に開示の例では、ベースとなる P 型エピタキシャル成長層の不純物濃度が高いほど、これを打ち消すために N 層 5 6 の不純物濃度を上げなければならない。従って、一定の比率でバラツクならば、その絶対値が大きくなる。

【 0 0 0 5 】

この一方、特許文献 2 に開示された例は、図 1 1 に示すように、電荷補償をするための N / P 層の繰り返しがトレンチ T R 2 を埋める絶縁層 1 4 間に 1 対しか存在しないものである。このトレンチマルチリサーフ構造は、トレンチ T R 2 を形成した後、図 1 1 の矢印に示すように、トレンチ T R 2 の片側側面に N 層 1 6 を、もう一方の側面に P 層 1 8 を形成することにより得られる。特許文献 2 に開示の構造では、特許文献 1 のような N / P 層間でのプロファイルの重なりがないため、N 層、P 層の濃度を必要以上に上げる必要がない。従って、特許文献 2 に開示の構造は、特性のバラツキに対して有利な構造といえる。このような理由から、特許文献 2 の構造を採用すれば、特性バラツキと当初のコスト問題とを一気に解決できるかのように思われる。

【 0 0 0 6 】

【特許文献 1】

特許第 3 2 9 1 9 5 7 号公報（藤島）

【特許文献 2】

米国特許 U S P 6, 0 4 0, 6 0 0 公報（湊）

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、特許文献 2 のようなトレンチ T R 2 の片側側面に N 層 1 6、もう一方の側面に P 層 1 8 を形成する構造においては、デバイスのセル部において

トレンチ T R 2 を埋め込む絶縁層 1 4 間では電荷補償が可能であるが、このセル部を取り囲むデバイスの終端部では絶縁層 1 4 の外側にそれぞれ N 層と P 層とのどちらか一方のみが存在することになる。このように、終端部では電荷補償するための相手方の不純物拡散層が存在しないため、いわゆるチャージアンバランスが発生し、デバイスの耐圧が低下するという問題がある。この点を図 1 2 を参照して詳述する。

【 0 0 0 8 】

図 1 2 は図 1 1 に示す M O S F E T の終端部の構造を示す略示断面図である。例えば同図の右半分に示す終端部の例では、 N^{++} 型半導体基板 W を介してドレイン電極 3 4 と接続されたリサーフの N 層 8 8 E R と、ソース電極 3 2 と接続されたリサーフの P 層 5 2 および 1 8 との間に電圧が印加されるため、この間のトレンチ T R 2 内の絶縁体 1 4 (破線 C 2 に示す領域) に電界が集中する。また、同図の左半分に示す反対側の終端部の例では、電荷補償する N 層 1 6 と P 層 8 8 E L がトレンチ T R 2 内の絶縁体 1 4 により分断されており、P 層 8 8 E L が余っている。この場合、電圧印加時でも P 層 8 8 E L の電荷 (H o l e) が排出されないため、この部分 (破線 C 4 に示す領域) での電界がリサーフ部よりも高くなって、リサーフ本来の耐圧が得られなくなる。従って、図 1 2 に示す構造では所望の耐圧が得られないという問題がある。

【 0 0 0 9 】

従来の M O S F E T においては、ガードリングなどの耐圧終端構造を与えることにより耐圧を安定化できたが、図 1 2 に示すトレンチマルチリサーフ構造の M O S F E T ではガードリングそのものがチャージアンバランスの原因となるため、従来の耐圧終端構造を採用することができない。また終端部に残った N 層および P 層の影響を排除するために、これらの間のトレンチの幅 (これらのを区切る絶縁体の水平方向の距離) を広くすることにより、トレンチ内の絶縁体で耐圧を維持する方法も考えられる。しかしながら、例えば耐圧 6 0 0 V の素子を安定的に形成するためには、 $6 \mu m$ 以上の絶縁体の幅が必要になる。このような幅の広いトレンチに絶縁物を完全に埋める技術は現在存在しない。

【 0 0 1 0 】

本発明は上記事情に鑑みてなされたものであり、その目的は、トレンチの側面にそれぞれN層およびP層を形成するトレンチマルチリサーフ構造を有する半導体装置において、十分な耐圧を有する終端部のための最適の構造を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

本発明は、以下の手段により上記課題の解決を図る。

【 0 0 1 2 】

即ち、本発明によれば、

第1導電型の半導体基板と、

上記半導体基板の第1の主面に形成され、セル部となる第1の領域と、この第1の領域の外周に位置する第2の領域であって、空乏層を伸ばすことにより電界を緩和して耐圧を維持する終端部となる第2の領域とを有する第1導電型の半導体層と、

上記第1導電型の半導体層内で上記第1の領域から上記第2の領域内に至るまで列をなすように上記第1の主面に平行な第1の方向に周期的に配置され、互いに逆導電型の不純物を有する半導体層の接合対であって、上記第1導電型の半導体層の表面から上記半導体基板に向けて形成された第2導電型の第1の不純物拡散層と、この第1の不純物拡散層に隣接して上記第1導電型の半導体層の表面から上記半導体基板に向けて形成された第1導電型の第2の不純物拡散層とで構成される接合対と、

上記第1の領域における上記接合対の表面層において上記第1の不純物拡散層と上記第2の不純物拡散層とに共通に接続するように選択的に形成された第2導電型ベース領域と、

上記第2導電型ベース領域の表面層に選択的に形成された第1導電型ソース領域と、

上記第2導電型ベース領域の表面と上記第1導電型ソース領域の表面との上に絶縁膜を介して形成された制御電極と、

上記制御電極を間に挟むように形成され、上記第1導電型ソース領域と上記第

2 導電型ベース領域とに共通に接触する第 1 の主電極と、

上記半導体基板の上記第 1 の主面とは逆の第 2 の主面に形成された第 2 の主電極と、

を備える半導体装置が提供される。

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。

【 0 0 1 4 】

図 1 は、本発明にかかる半導体装置の第 1 の実施の形態における一方側の終端部を示す平面図であり、図 2 は図 1 の A - A 線に沿った断面図である。また、図 3 は、図 1 の半導体装置において、図 1 に示す終端部とは反対側の終端部を示す平面図であり、図 4 は図 3 の B - B 線に沿った断面図である。本実施形態の半導体装置の特徴は、図 1 および図 2 に示す終端部においては最外層の P 層 1 6 に隣接してその外側に N 層 3 8 をさらに設け、また、図 3 および図 4 に示す終端部においては最外層の N 層 1 8 に隣接してその外側に P 層 4 6 をさらに設けることにより、素子の終端部においても同一の電荷補償構造を有している点にある。以下、本実施形態の半導体装置をより詳細に説明する。

【 0 0 1 5 】

図 1 ～図 4 に示す縦型トレンチマルチリサーフ構造のパワー MOS FET 1 は、ドレイン領域となる N^{++} 型半導体基板 W と、ドレイン電極 3 4 と、エピタキシャル成長層 1 2 と、P 型のベース領域 2 2 と、 N^{+} 型のソース領域 2 4 と、トレンチ T R 2 を埋め込んで形成された絶縁体 1 4 と、トレンチ T R 2 の各側面に形成された N 層 1 8 および P 層 1 6 と、N 層 1 8 の表面とこれに接するソース領域 2 2 の表面との上にゲート絶縁膜 2 6 を介して設けられたゲート電極 2 8 と、ゲート絶縁膜 2 6 に挟まれる領域を埋め込むようにセル部に形成されて N^{+} 型のソース領域 2 4 に接続されたソース電極 3 2 と、を備える。ドレイン電極 3 4 は N^{++} 型半導体基板 W の一方の表面に形成され、エピタキシャル成長層 1 2 は、 N^{++} 型半導体基板 W のもう一方の表面上に N 型不純物が低濃度でドーピングされて形成される。P 型ベース領域 2 2 は、所定ピッチで配置されたストライプ状の平

面形状を有するようにエピタキシャル成長層 1 2 の表面部に選択的に形成される。 N^+ 型ソース領域 2 4 は、ベース領域 2 2 の表面部に選択的に形成される。トレンチ T R 2 は、ベース領域 2 2 相互間の領域においてエピタキシャル成長層 1 2 を貫通して半導体基板 W 内に至るように設けられ、N 層 1 8 および P 層 1 6 は、トレンチ T R 2 の各側面に斜め方向からのイオン注入と熱処理により形成される。図 1 に示すように、本実施形態においてトレンチ T R 2 は、ストライプの長手方向に延設され、セル部の領域を超えてデバイスの周縁近傍に至るまで形成されている。

【 0 0 1 6 】

図 1 乃至図 4 に示す縦型トレンチマルチリサーフ構造のパワー M O S F E T 1 は、最外層の P 層 1 6 に隣接してその外側に形成された N 層 3 8 と、エピタキシャル成長層 1 2 の終端部において所定ピッチで設けられ、その長手方向がセル部のトレンチ T R 2 と直交するように配置されたトレンチ T R 6 を埋め込んで形成された絶縁体 4 4 と、終端部の紙面における右側周縁部に設けられた P 層 1 8 E R と、周縁部の紙面左側周縁部に設けられた N 層 1 8 E L と、終端部の全面を覆うように配設されたフィールド酸化膜 3 6 と、をさらに備える。N 層 3 8 および N 層 1 8 E L は、トレンチ T R 6 を形成した後に、トレンチ T R 6 の長手方向の左側側面に N 型の不純物を斜め上方から注入した後、熱処理を実行することにより形成され、P 層 1 8 E R および P 層 4 6 は、トレンチ T R 6 の長手方向の右側側面に P 型の不純物を斜め上方から注入した後、熱処理を実行することにより形成される。

【 0 0 1 7 】

このように、本実施形態のトレンチマルチリサーフ構造によれば、素子の終端部に至るまで全て同一の電荷補償構造を有するので、図 2 および図 4 において点線で示すように、電位がトレンチ T R 2 内の絶縁体 1 4 に集中することなく、その外側の P 層および N 層の組み合わせ（1 6 および 3 8 または 1 8 および 4 6）のさらに外側に分散する。これにより、終端部でも十分な耐圧を有する半導体装置が提供される。

【 0 0 1 8 】

次に、本発明にかかる半導体装置の第 2 の実施の形態について図 5 ～図 8 を参照しながら説明する。

【 0 0 1 9 】

図 5 は、本発明にかかる半導体装置の第 2 の実施の形態の一方側の終端部を示す平面図であり、図 6 は図 5 の C - C 線に沿った断面図である。また、図 7 は、図 5 の半導体装置の図 5 に示す終端部とは反対側の終端部を示す平面図であり、図 8 は図 7 の D - D 線に沿った断面図である。本実施形態の半導体装置の特徴は、素子の終端部においても周縁に至るまで N 層 / P 層の組み合わせが繰り返し形成され、同一の電荷補償構造を有している点にある。このような電荷補償構造を与えるため、本実施形態の縦型トレンチマルチリサーフ構造のパワー MOS FET 3 においては、終端部のトレンチ T R 8 は矩形の平面形状でメッシュをなすように配置され形成される。このようなトレンチ T R 8 を形成した後絶縁体 4 8 で埋め込む前に、トレンチ T R 8 の平面視における左側側面に N 型不純物を注入し、右側側面には P 型不純物を注入し、熱処理による拡散工程を経て、N 層 3 8 および P 層 4 6 を形成することができる。図 5 ～図 8 に示すパワー MOS FET 3 のその他の構成は、図 1 ～図 4 に示すパワー MOS FET 1 の構成と実質的に同一である。

【 0 0 2 0 】

このように、本実施形態のパワー MOS FET 3 によれば、耐圧終端部でのトレンチについて、セル部での P 層 1 6 / N 層 1 4 の繰り返し方向と同一の方向で細かく分断した形状をなすように形成することにより、電荷補償するための N 層 3 8 および P 層 4 6 をそれぞれ接続する。これにより、図 6 および図 8 の点線に示すように電位の集中がさらに緩和されて電荷の排出がより容易になる。また、このように終端部においてパターンを精密に設計することにより、チャージアンバランスの要因となるエピタキシャル成長層 1 2 (図 2 および図 3 参照)を残さない設計にすることもできるので、終端部での耐圧低下をさらに防止できる半導体装置が実現される。

【 0 0 2 1 】

以上、本発明の実施の形態について説明したが、本発明は上記形態に限ること

なく、その技術的範囲内で種々変形して実行できることは当業者において明らかである。例えば上述した第 1 の実施の形態では、デバイスの周縁部に N 層 1 8 E L, 1 8 E R を設ける場合について説明したが、これに限ることなく、例えば周縁部に P 層を設けることとしても良い。また、トレンチ T R 2, 6, 8 を埋め込む誘電体としてそれぞれ絶縁体 1 4, 4 4, 4 8 を用いたが、これに限ることなく、例えばシリコン酸化膜またはシリコン窒化膜を介してエピタキシャル成長により埋め込まれたポリシリコンを用いることもできる。

【 0 0 2 2 】

【発明の効果】

以上詳述したとおり、本発明によれば、終端部でのチャージアップアンバランスを抑制でき、高耐圧を安定的に実現できる半導体装置が提供される。

【図面の簡単な説明】

【図 1】

本発明にかかる半導体装置の第 1 の実施の形態の要部を示す平面図である。

【図 2】

図 1 の A - A 線に沿った断面図である。

【図 3】

図 1 に示す半導体装置の反対側の終端部を示す平面図である。

【図 4】

図 3 の B - B 線に沿った断面図である。

【図 5】

本発明にかかる半導体装置の第 2 の実施の形態の要部を示す平面図である。

【図 6】

図 5 の C - C 線に沿った断面図である。

【図 7】

図 5 に示す半導体装置の反対側の終端部を示す平面図である。

【図 8】

図 7 の D - D 線に沿った断面図である。

【図 9】

従来の技術によるマルチリサーフ構造の一例を示す断面図である。

【図 1 0】

従来の技術によるトレンチマルチリサーフ構造の他の例を説明する図である。

【図 1 1】

従来の技術によるトレンチマルチリサーフ構造のさらに他の例を説明する図である。

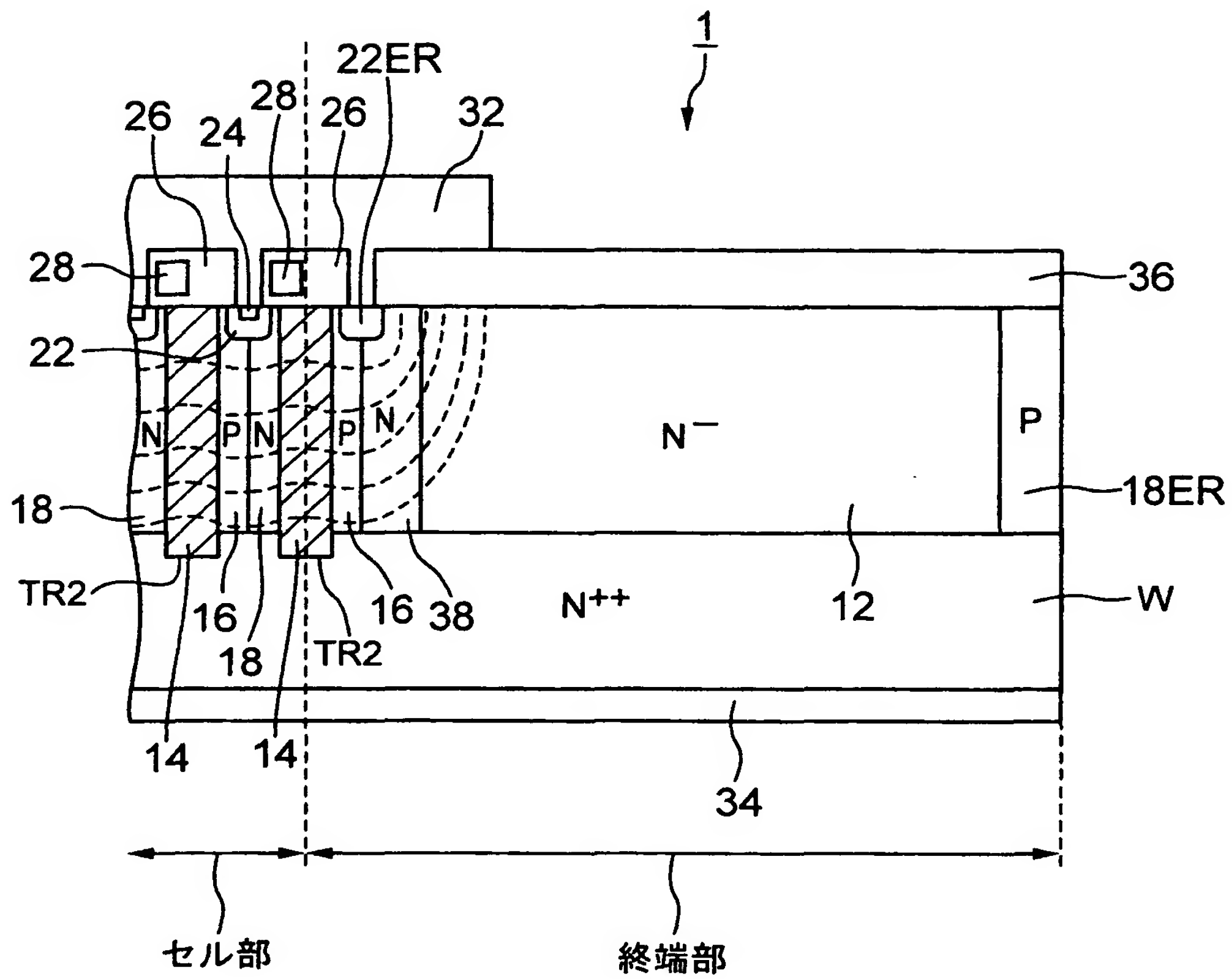
【図 1 2】

図 1 1 に示す M O S F E T の 終 端 部 の 構 造 を 示 す 略 示 断 面 図 である。

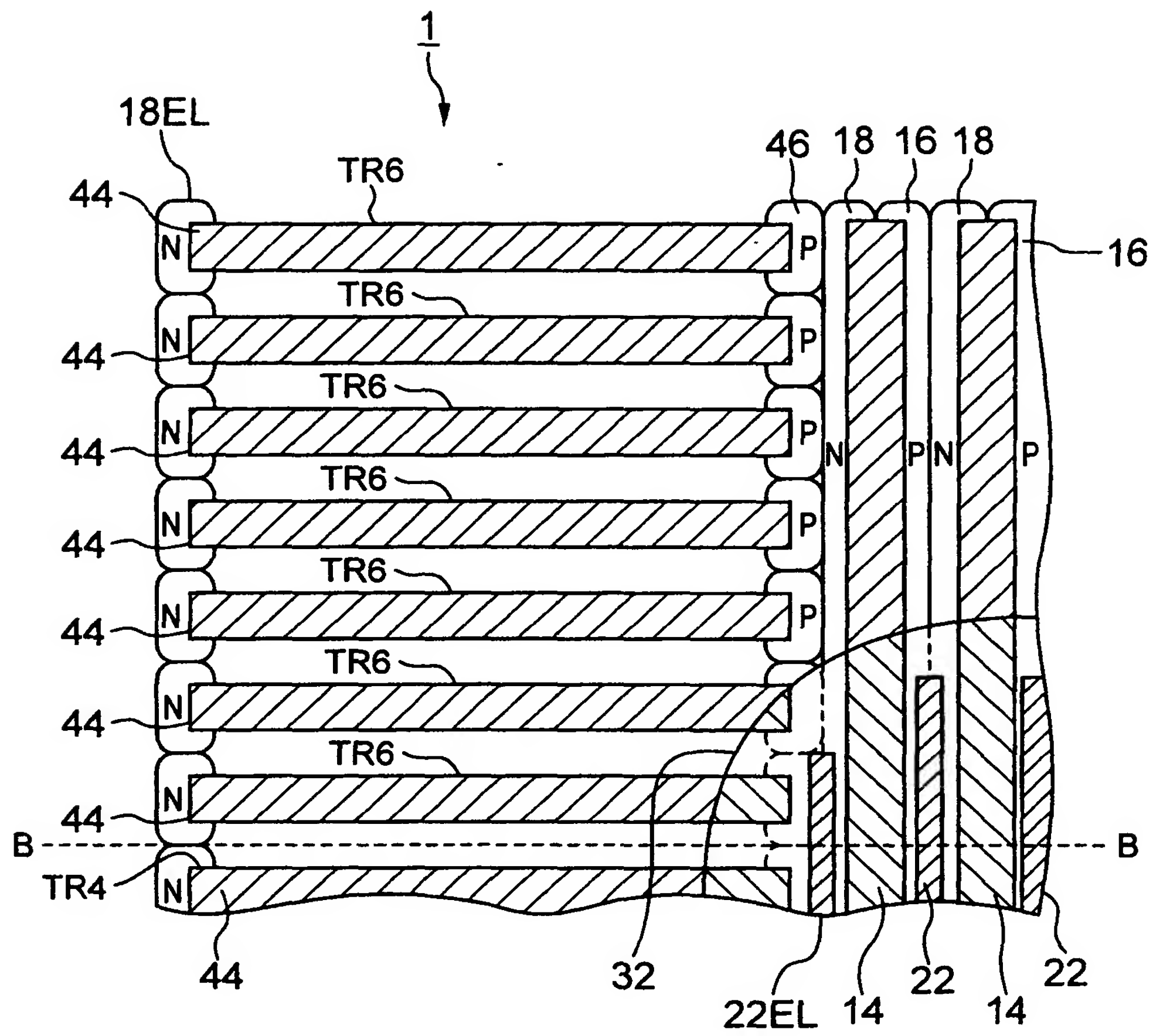
【符号の説明】

- 1, 3 縦型トレンチマルチリサーフ構造のパワー M O S F E T
- 1 2 エピタキシャル成長層
- 1 4, 4 4, 4 8 トレンチを埋め込む絶縁体
- 1 6 リサーフの N 層
- 1 8 リサーフの P 層
- 1 8 E L 周縁部の N 層
- 1 8 E R 周縁部の P 層
- 2 2, 2 2 E R, 2 2 E L P 型ベース領域
- 2 4 N^{+} 型ソース領域
- 2 6 ゲート絶縁膜
- 2 8 ゲート電極
- 3 2 ソース電極
- 3 4 ドレイン電極
- 3 6 フィールド酸化膜
- 3 8 終端部のリサーフの N 層
- 4 6 終端部のリサーフの P 層
- T R 2, T R 4, T R 6, T R 8 トレンチ
- W N^{++} 型半導体基板

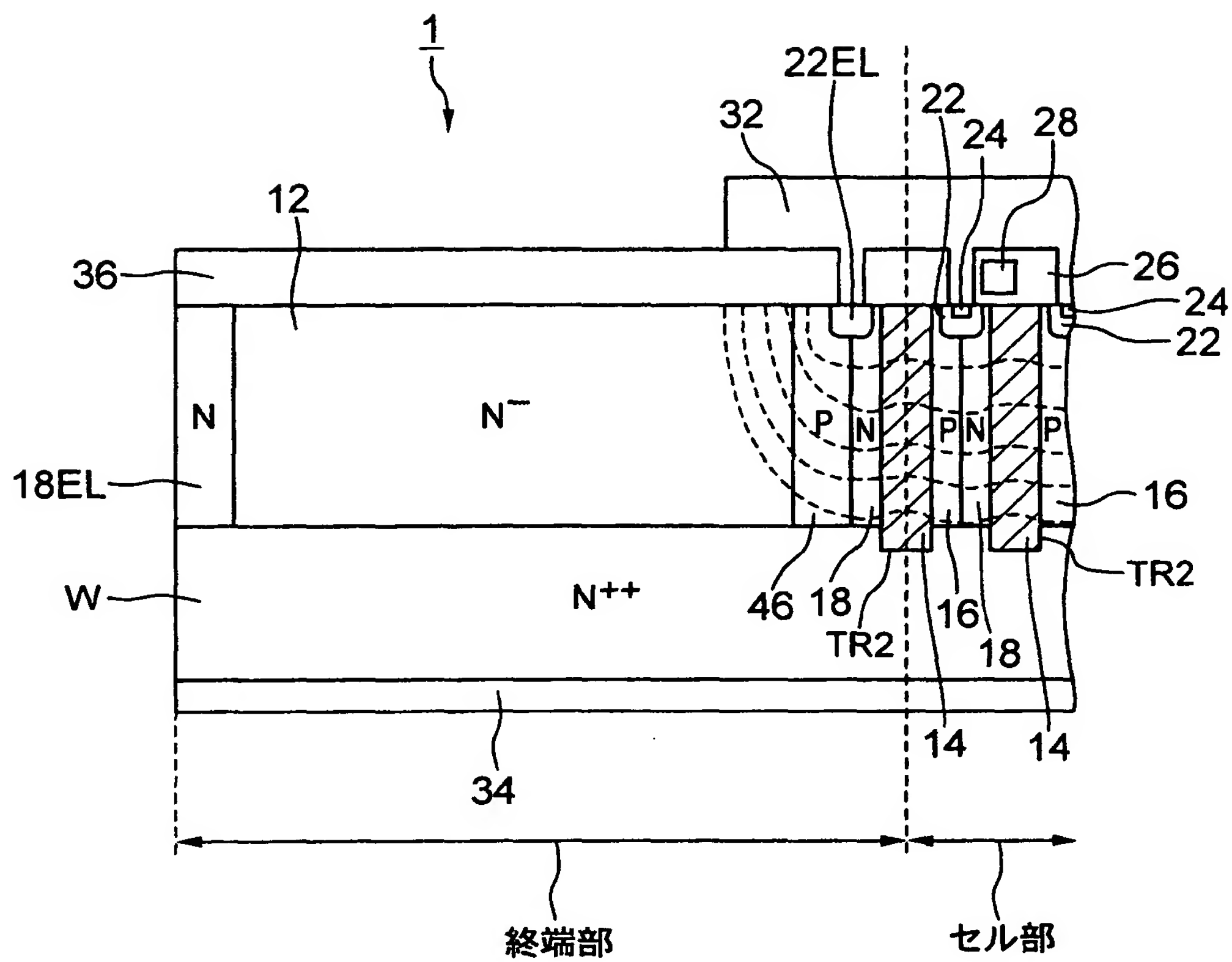
【図 2】



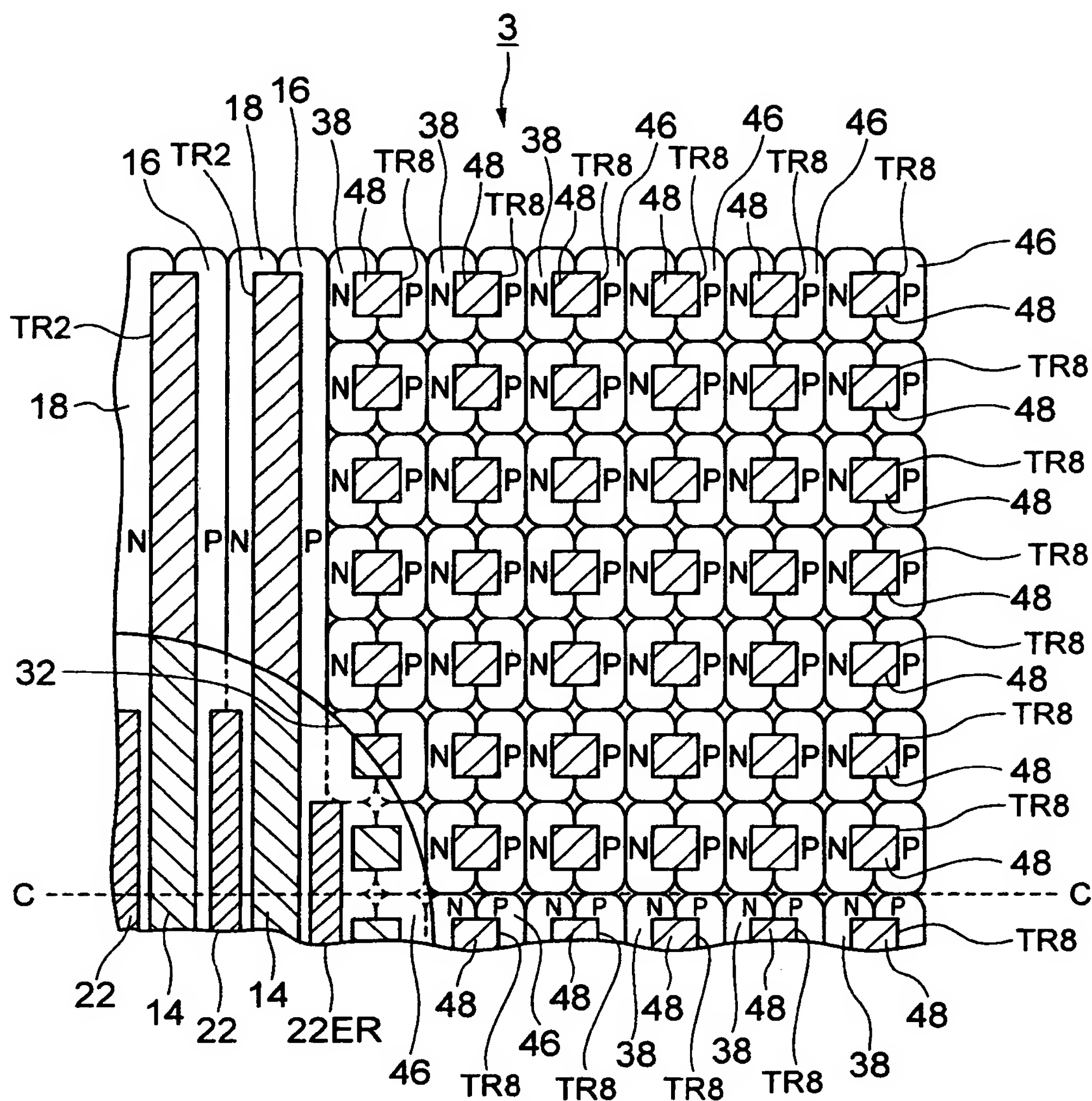
【図 3】



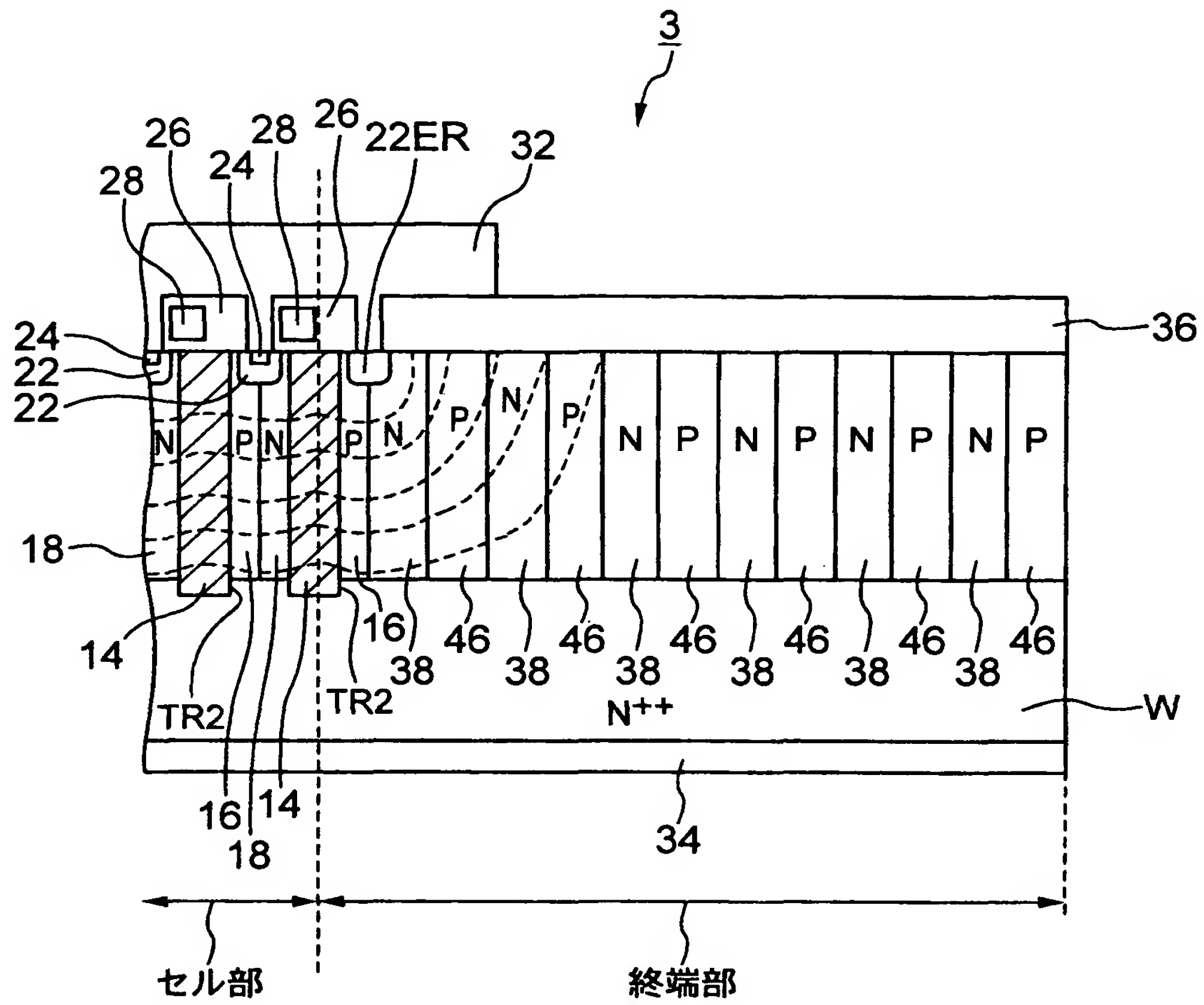
【圖 4】



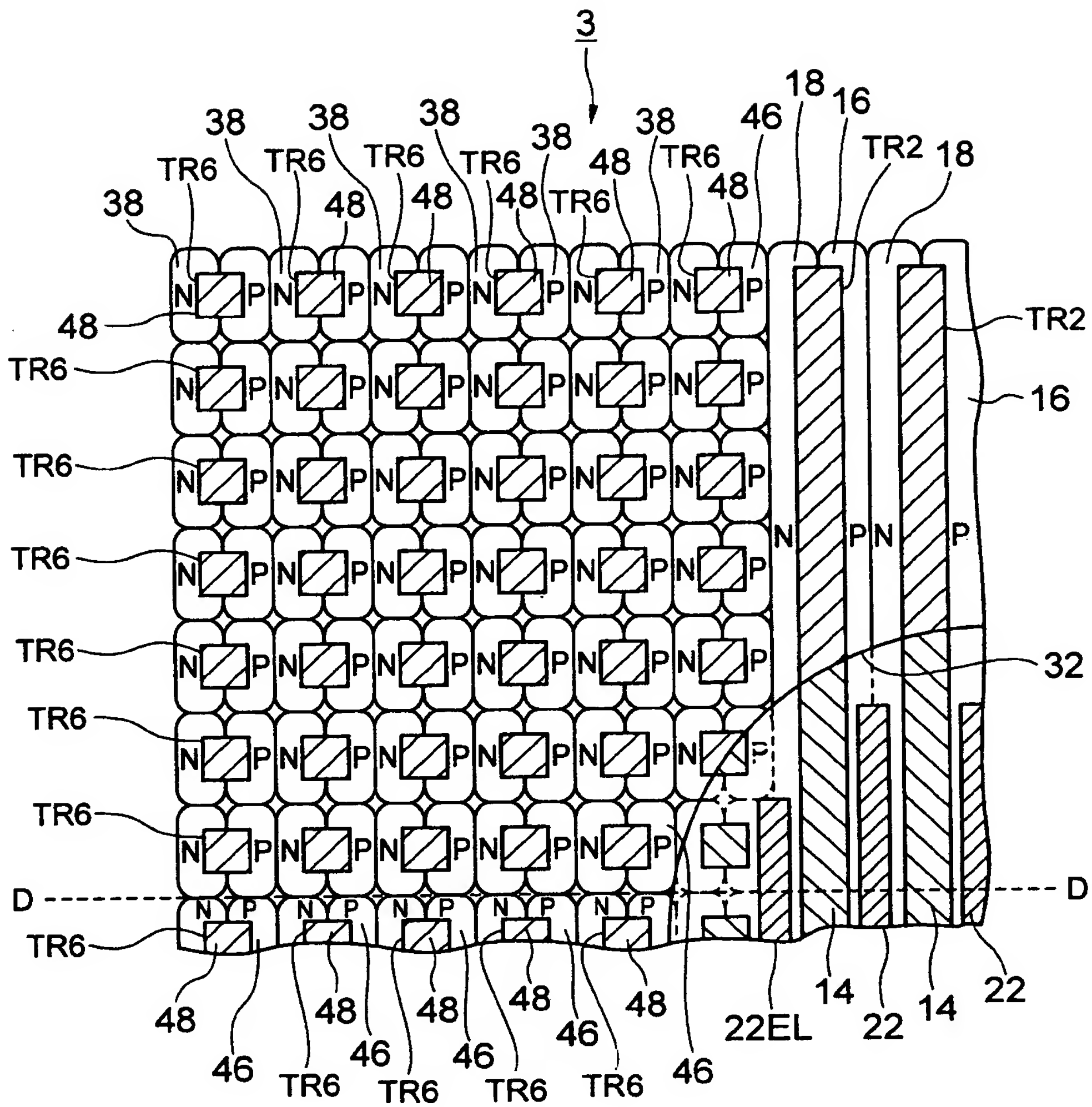
【図 5】



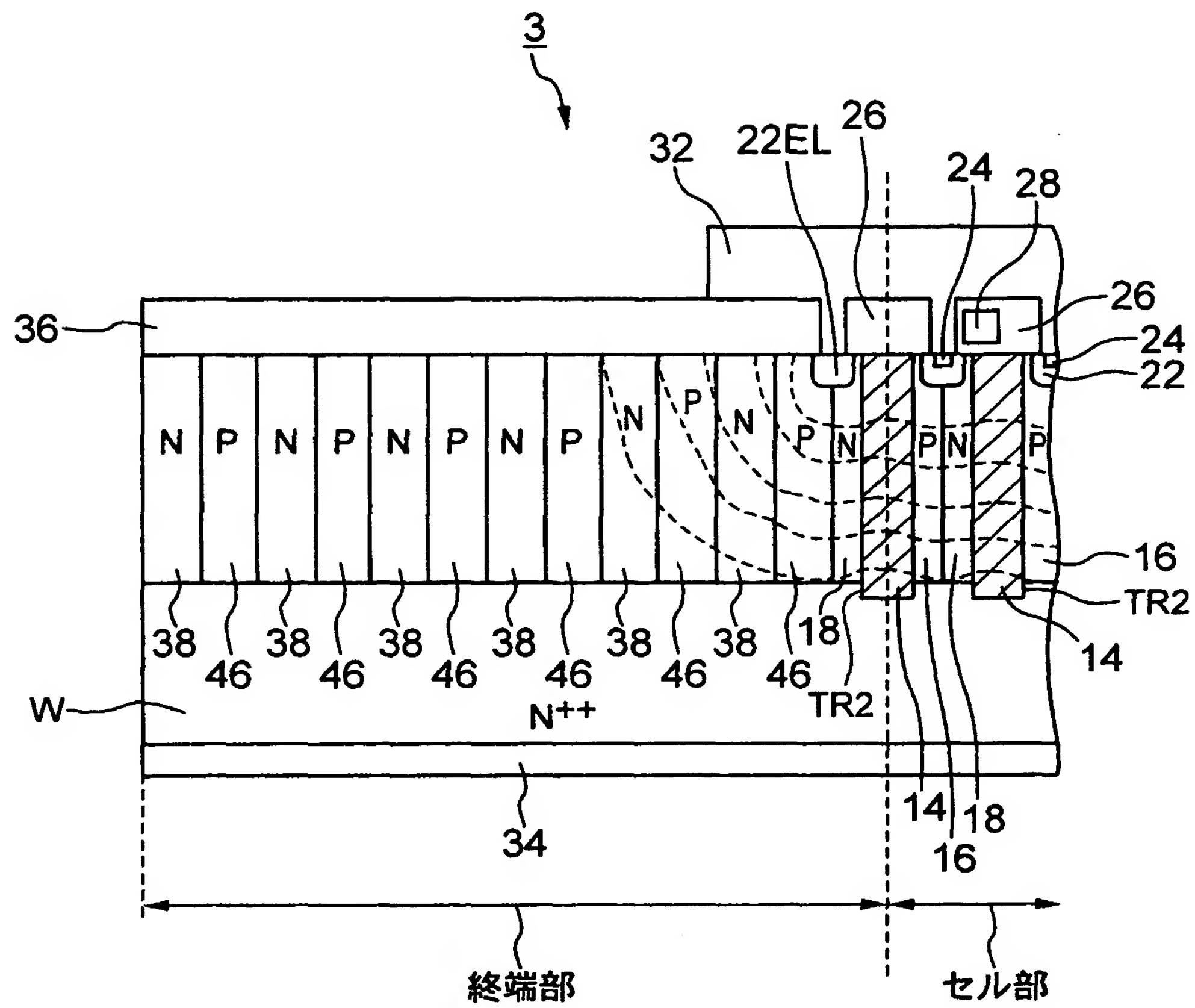
【図 6】



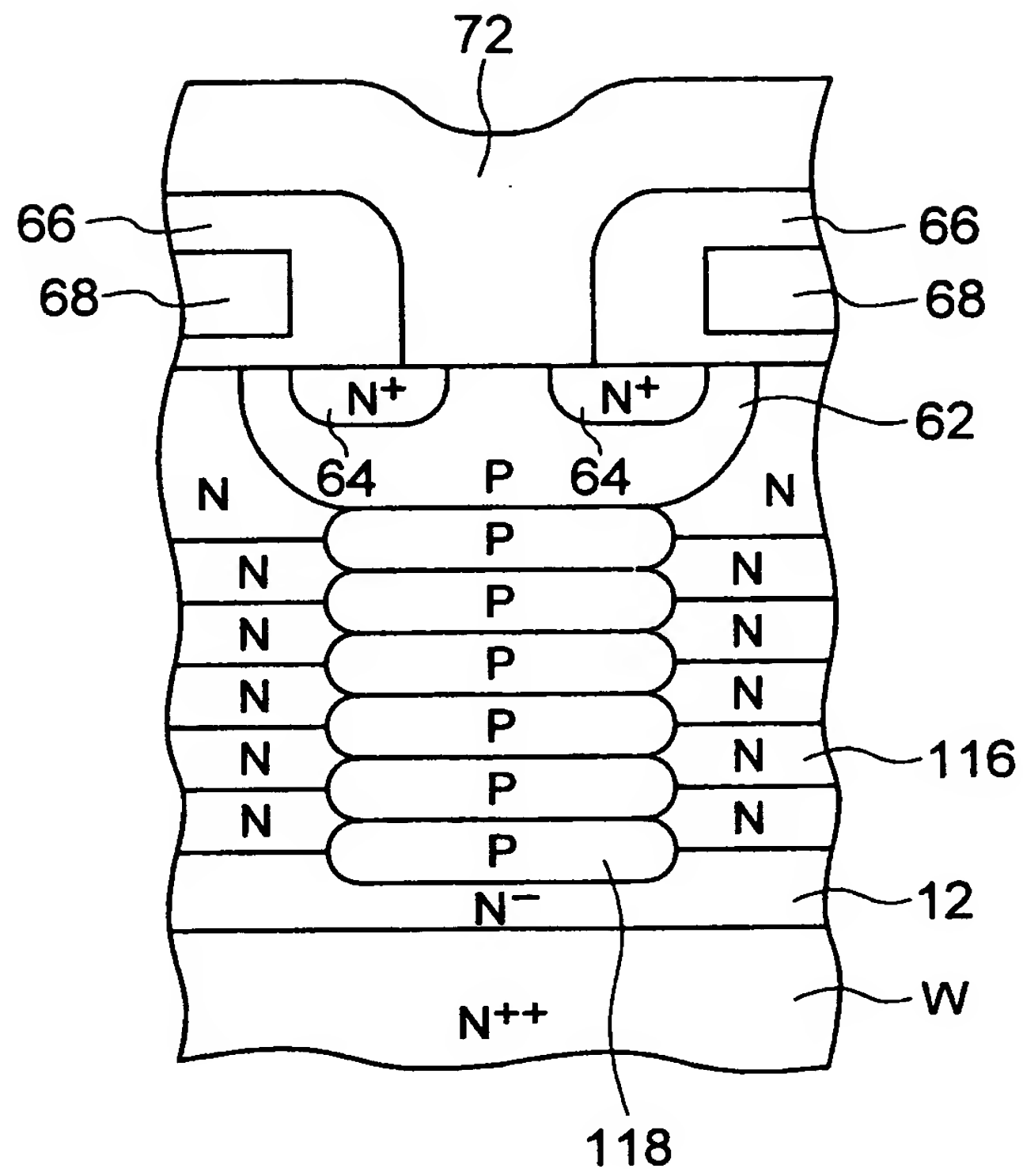
【図 7】



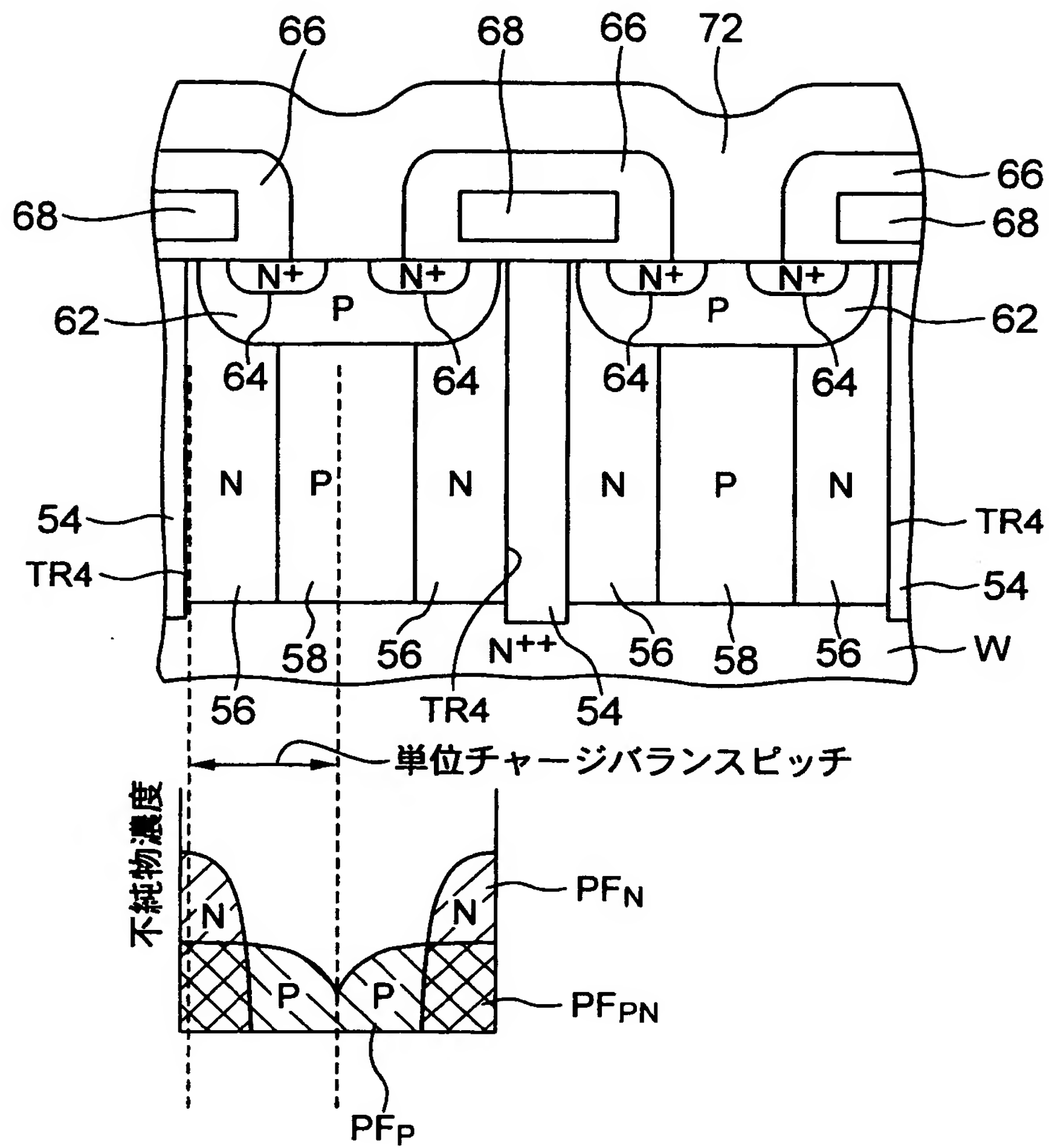
【図 8】



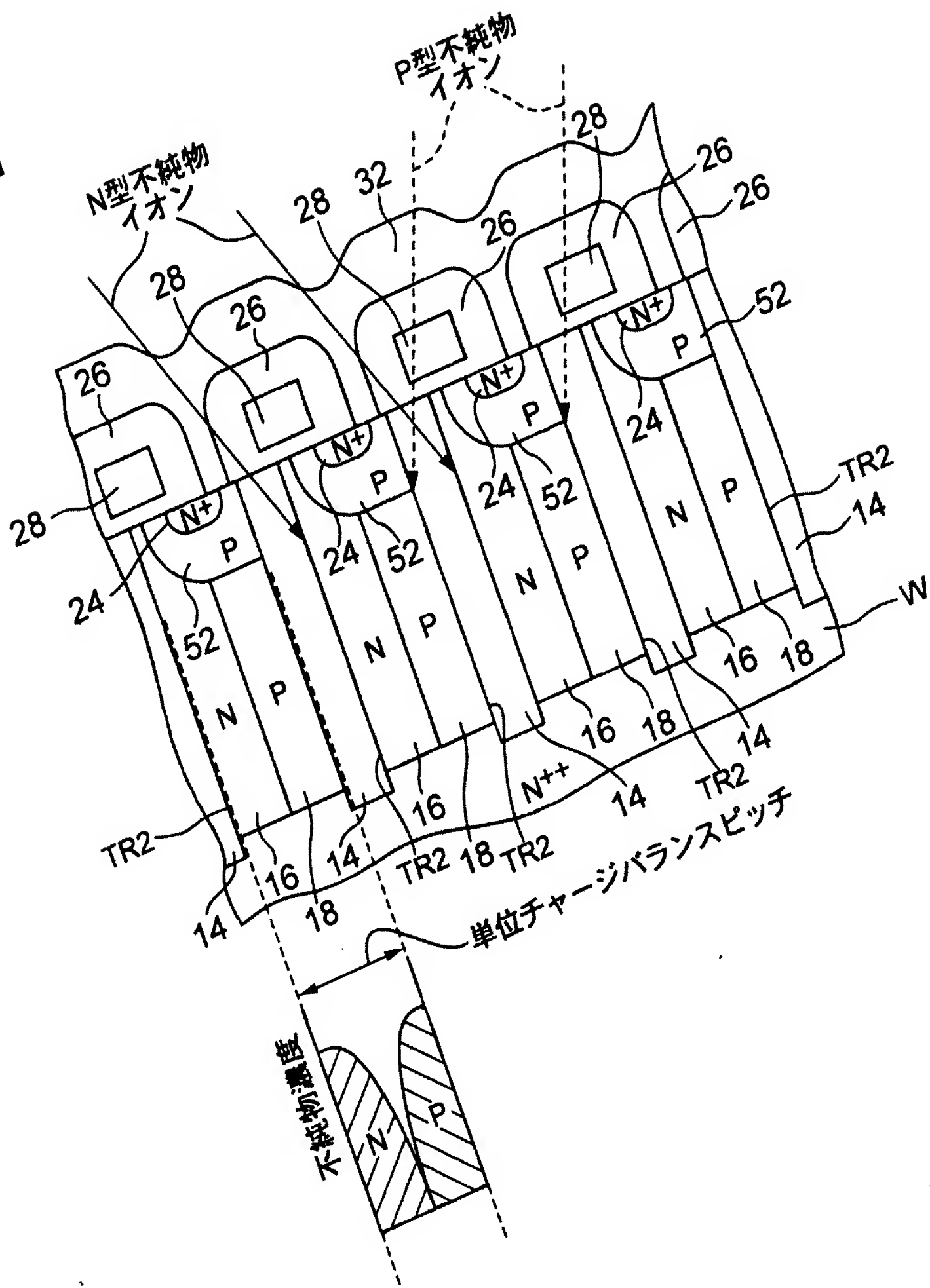
【図 9】



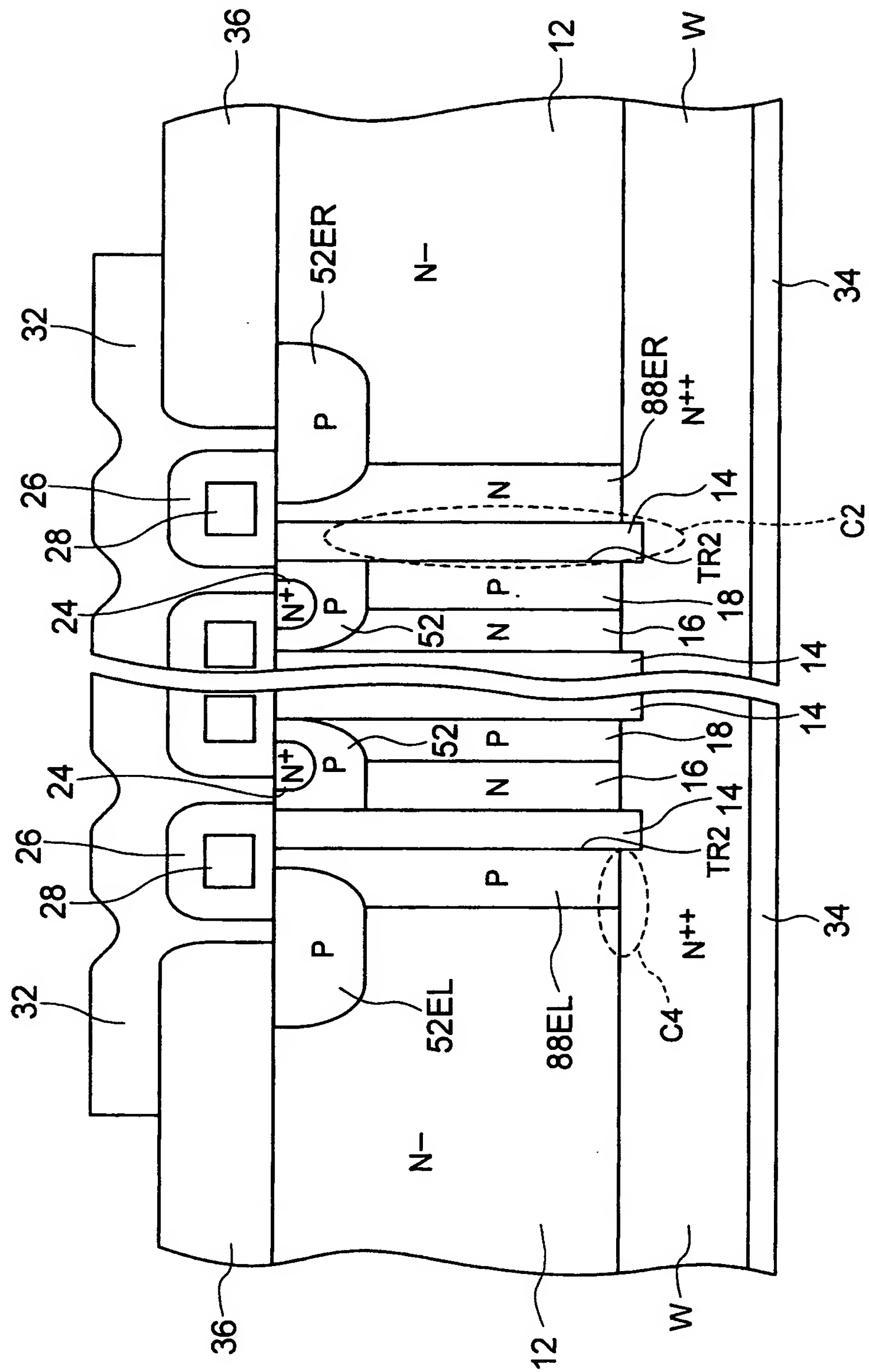
【図 10】



【图 11】



【圖 12】



【書類名】 要約書

【要約】

【課題】 トレンチマルチリサーフ構造を有する半導体装置において、十分な耐圧を有する終端部の構造を提供する。

【解決手段】 リサーフのP層18およびN層16のPN接合対で構成される電荷補償構造をセル部のみならず、終端部にも持たせる。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝